

OKI.615

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Kinya Ashikaga

Group Art Unit: 2818

Serial No.: 10/761,222

Examiner: A. Huynh

Filed: January 22, 2004

Confir. No.: 2732

For: SEMICONDUCTOR MEMORY DEVICES AND METHODS OF FABRICATING  
SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
Customer Window  
Randolph Building  
401 Dulany Street  
Alexandria, VA 22314

Date: June 10, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:

Appln. No. 2003-379192

filed November 7, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.  
Registration No. 33,581

One Freedom Square  
11951 Freedom Drive, Suite 1260  
Reston, Virginia 20190  
Tel. (571) 283-0720  
Fax. (571) 283-0740

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年11月 7日

出願番号  
Application Number: 特願2003-379192  
[ST. 10/C]: [JP2003-379192]

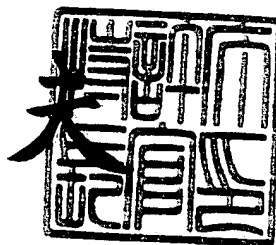
出願人  
Applicant(s): 沖電気工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2003年12月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-210000

【書類名】 特許願  
【整理番号】 GI000020  
【提出日】 平成15年11月 7日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 11/22  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
    【氏名】 足利 欣哉  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
    【代表者】 篠塚 勝正  
【代理人】  
    【識別番号】 110000165  
    【氏名又は名称】 グローバル・アイピー東京特許業務法人  
    【代表者】 宮川 良夫  
【手数料の表示】  
    【予納台帳番号】 193162  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

ワード線、ビット線、プレート線と、前記ビット線に接続されたセンスアンプ及びプリチャージ回路と、制御電極及び主電流路を有しかつ前記プレート線に接続された制御トランジスタを有するプレート線駆動部と、制御電極及び主電流路の両端に設けられた第 1 及び第 2 の主電流路端を有し、前記制御電極が前記ワード線に接続されかつ前記第 1 主電流路端が前記ビット線に接続された選択トランジスタと、第 1 及び第 2 電極を有しかつ前記第 1 電極が前記第 2 主電流路端に接続されかつ前記第 2 電極が前記プレート線に接続された強誘電体キャパシタと、前記センスアンプ及び前記プリチャージ回路に接続された第 1 電源と、前記プレート線駆動部に接続されかつ前記第 1 電源とは別系統に設けられかつ非動作時において前記第 1 電源と絶縁される第 2 電源と、前記センスアンプ及び前記プリチャージ回路に接続された第 1 接地線と、前記プレート線駆動部に接続されかつ前記第 1 接地線と絶縁された第 2 接地線とを有する半導体メモリ装置であって、

前記半導体メモリ装置は、前記選択トランジスタの主電流路が形成された第 1 の半導体領域と、前記制御トランジスタの主電流路が形成されかつ前記第 1 の半導体領域とは絶縁膜を介して絶縁されている第 2 の半導体領域と、を備えたことを特徴とする半導体メモリ装置。

**【請求項 2】**

前記選択トランジスタ及び前記制御トランジスタは、SOI 基板、SOS 基板又はガラス基板上に形成されていることを特徴とする、請求項 1 に記載の半導体メモリ装置。

**【請求項 3】**

前記選択トランジスタは、SOI 基板の支持基板に直接形成されており、

前記制御トランジスタは、SOI 基板の支持基板と第 1 の絶縁膜を介して半導体膜に形成されていることを特徴とする、請求項 1 に記載の半導体メモリ装置。

**【請求項 4】**

前記選択トランジスタは、SOI 基板の支持基板と第 1 の絶縁膜を介して半導体膜に形成されており、

前記制御トランジスタは、SOI 基板の支持基板に直接形成されていることを特徴とする、請求項 1 に記載の半導体メモリ装置。

**【請求項 5】**

前記第 1 の半導体領域及び前記第 2 の半導体領域は、別体で形成された第 1 及び第 2 の半導体基板に形成されており、

前記第 1 の半導体基板と前記第 2 の半導体基板とは所定の間隔をもって配置され、前記第 1 の半導体基板上のプレート線と前記第 2 の半導体基板上の制御トランジスタとが配線によって電氣的に接続されていることを特徴とする、請求項 1 に記載の半導体メモリ装置。

**【請求項 6】**

前記センスアンプ及び前記プリチャージ回路を構成するトランジスタは、前記第 1 半導体領域に形成されていることを特徴とする、請求項 1 に記載の半導体メモリ装置。

**【請求項 7】**

選択トランジスタ及び強誘電体キャパシタを有する半導体メモリ装置を製造する方法であって、

絶縁膜を介して互いに絶縁された第 1 及び第 2 の半導体領域を基板上に形成するステップと、

前記第 1 の半導体領域に選択トランジスタを形成し、前記第 2 の半導体領域にプレート線駆動部の制御トランジスタを形成するステップと、

前記選択トランジスタ及び前記制御トランジスタ上に第 1 の絶縁膜を介して、強誘電体キャパシタを形成するステップと、

前記強誘電体キャパシタ上に第 2 の絶縁膜を介してビット線及びプレート線を形成するとともに、前記選択トランジスタと前記ビット線及び前記強誘電体キャパシタとを電氣的

に接続するとともに、前記強誘電体キャパシタと前記プレート線とを電氣的に接続するステップと、を含むことを特徴とする半導体メモリ装置の製造方法。

【請求項 8】

前記第 1 及び第 2 の半導体領域を形成するステップは、支持基板上に第 1 の絶縁膜を介して半導体膜が形成された S O I 基板の一部において前記半導体膜及び前記絶縁膜を除去し、前記支持基板を露出するステップを含み、

前記選択トランジスタを前記支持基板に直接形成し、前記制御トランジスタを前記半導体膜に形成することを特徴とする、請求項 7 に記載の半導体メモリ装置の製造方法。

【請求項 9】

前記第 1 及び第 2 の半導体領域を形成するステップは、支持基板上に第 1 の絶縁膜を介して半導体膜が形成された S O I 基板の一部において前記半導体膜及び前記絶縁膜を除去し、前記支持基板を露出するステップを含み、

前記選択トランジスタを前記半導体膜に形成し、前記制御トランジスタを前記支持基板に直接形成することを特徴とする、請求項 7 に記載の半導体メモリ装置の製造方法。

【請求項 10】

選択トランジスタ及び強誘電体キャパシタを有する半導体メモリ装置を製造する方法であって、

第 1 及び第 2 の半導体基板を準備するステップと、

前記第 1 の半導体基板上に選択トランジスタを形成し、前記選択トランジスタ上に第 1 の絶縁膜を介して強誘電体キャパシタを形成するステップと、

前記強誘電体キャパシタ上に第 2 の絶縁膜を介してビット線及びプレート線を形成するとともに、前記選択トランジスタと前記ビット線及び前記強誘電体キャパシタとを電氣的に接続するとともに、前記強誘電体キャパシタと前記プレート線とを電氣的に接続するステップと、

前記第 2 の半導体基板上にプレート線駆動部の制御トランジスタを形成するステップと、

前記制御トランジスタと前記プレート線とを電氣的に接続するステップと、を含むことを特徴とする半導体メモリ装置の製造方法。

## 【書類名】明細書

【発明の名称】半導体メモリ装置及び半導体メモリ装置の製造方法

## 【技術分野】

## 【0001】

本発明は、半導体メモリ装置及びその製造方法、特に、強誘電体キャパシタを用いた半導体メモリ装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

強誘電体キャパシタを用いた半導体メモリ装置は、電圧を取り除いた後も電圧印加方向の分極を保持する性質（自発分極の性質）を持っており、この自発分極の性質を利用してデータを保持する不揮発性メモリとして使用されている。しかし、強誘電体の自発分極には温度依存性があり、強誘電体の自発分極は高温ほど低下する傾向がある。そのため、高温環境下において強誘電体キャパシタによるデータ保持を行うと、強誘電体キャパシタの自発分極量が減少し、データが破壊されてしまう虞がある。

## 【0003】

従来の強誘電体キャパシタを用いた半導体メモリ装置は、例えば、特許文献1に記載されている。この半導体メモリ装置は、ゲート部分に強誘電体キャパシタを有する第1のトランジスタと、第1のトランジスタのソース・ドレイン領域にそれぞれ接続された第2及び第3のトランジスタとが絶縁膜を介して支持基板上に形成されている。このような構造では、強誘電体キャパシタへの電圧の印加を停止した場合に、第2及び第3トランジスタが非導通状態であれば、第1トランジスタの活性領域が絶縁膜によって支持基板から絶縁されているために、第1トランジスタの活性領域がフローティング状態となる。これにより、強誘電体キャパシタ及びゲート絶縁膜の直列回路の両端、即ち、強誘電体キャパシタの電極の電位とゲート絶縁膜の活性領域との界面の電位とが同電位になるのを防止し、強誘電体キャパシタとゲート絶縁膜との間で電荷を打ち消し合う逆バイアスリテンションを防止している。

【特許文献1】特開2000-269444号公報（第4-5頁、第1図）

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

特許文献1に記載の半導体メモリ装置は、強誘電体キャパシタの電極が第1トランジスタのゲート部分に接続されており、強誘電体キャパシタの自発分極によって第1トランジスタの導通、非導通を制御する半導体メモリ装置であり、このような構成において、強誘電体キャパシタとゲート絶縁膜との間の逆バイアスリテンションを抑制するものである。

## 【0005】

一方、強誘電体キャパシタを選択トランジスタのソース・ドレイン領域に接続し、強誘電体キャパシタから電圧を読み出す構成の半導体メモリでは、逆バイアスリテンションとは別の理由で、強誘電体キャパシタのデータが破壊される虞がある。即ち、強誘電体キャパシタが選択トランジスタのソース・ドレイン領域に接続されているため、高温環境下でデータ保持を行う場合に、支持基板を介して電荷が移動する虞がある。具体的には、強誘電体キャパシタの一方の電極と接続される選択トランジスタのソース・ドレイン領域が支持基板に形成されており、強誘電体の他方の電極に接続されるプレート線を駆動するプレート線駆動部も支持基板に形成されているため、強誘電体キャパシタの両電極の間に支持基板を介して電荷移動の経路が形成される虞がある。そのため、高温環境下でデータ保持を行うと、強誘電体キャパシタの分極量が減少し、強誘電体キャパシタの電極の電荷が上記経路を介して移動して減少する。その後、強誘電体キャパシタを低温環境下に戻しても、強誘電体キャパシタの電極の電荷が減少しているため、自発分極量が元に戻らず、データが破壊される虞がある。特許文献1には、強誘電体キャパシタを選択トランジスタのソース・ドレイン領域に接続する構造についてのデータ保持の問題点について、即ち、高温環境下におけるデータ保持能力の問題点については一切記載されていない。

## 【0006】

本発明の目的は、強誘電体キャパシタが選択トランジスタの主電流路端に接続される半導体メモリ装置において、高温環境下でのデータ保持能力を向上させることにある。

## 【課題を解決するための手段】

## 【0007】

本発明に係る半導体メモリ装置は、ワード線、ビット線、プレート線と、ビット線に接続されたセンスアンプ及びプリチャージ回路とを備えている。また、この半導体メモリ装置は、制御電極及び主電流路を有する制御トランジスタを有しかつプレート線に接続されたプレート線駆動部と、制御電極及び主電流路の両端に設けられた第1及び第2の主電流路端を有し、制御電極がワード線に接続されかつ第1主電流路端がビット線に接続された選択トランジスタと、第1及び第2電極を有しかつ第1電極が第2主電流路端に接続されかつ第2電極がプレート線に接続された強誘電体キャパシタとを備えている。さらに、この半導体メモリ装置は、センスアンプ及びプリチャージ回路に接続された第1電源と、プレート線駆動部に接続されかつ第1電源とは別系統に設けられかつ非動作時において第1電源と絶縁される第2電源とを備えている。

## 【0008】

また、この半導体メモリ装置は、選択トランジスタの主電流路が形成された第1の半導体領域と、制御トランジスタの主電流路が形成されかつ第1の半導体領域とは絶縁膜を介して絶縁されている第2の半導体領域とを備えていることを特徴としている。

## 【発明の効果】

## 【0009】

本発明に係る半導体メモリ装置では、選択トランジスタの主電流路とプレート線駆動部の制御トランジスタの主電流路とが絶縁膜を介して絶縁されている。即ち、選択トランジスタの主電流路とプレート線駆動部の制御トランジスタの主電流路とは、支持基板側において絶縁されている。強誘電体キャパシタの第1電極は、選択トランジスタの主電流路に接続され、一方、強誘電体キャパシタの第2電極はプレート線を介してプレート線駆動部の制御トランジスタの主電流路に接続されているが、選択トランジスタの主電流路とプレート線駆動部の制御トランジスタの主電流路とが支持基板上において絶縁されているので、強誘電体キャパシタの第1及び第2電極間に支持基板を介して電荷移動の経路が形成されない。

## 【0010】

強誘電体キャパシタの第1電極は、選択トランジスタ、ビット線からセンスアンプまたはプリチャージ回路を介して第1電源に接続され、第2電極は、プレート線及びプレート線駆動部を介して第2電源に接続されているが、第1電源と第2電源とが別系統かつ非動作時（データ保持時）に互いに絶縁されるため、強誘電体キャパシタの第1及び第2電極間に第1及び第2電源側を介して電荷移動の経路が形成されない。

## 【0011】

従って、高温環境下でのデータ保持時において強誘電体膜の自発分極量が減少し、電荷保持能力が弱まったとしても、強誘電体キャパシタの第1及び第2電極の間には電荷が移動する経路がなく、第1及び第2電極の電荷量は保持されるので、周囲温度が低温になれば、第1及び第2電極に保持された電荷によって強誘電体膜の自発分極量が回復し、データの破壊を防止することができる。このように、本発明によれば、強誘電体キャパシタが選択トランジスタの主電流路端に接続される半導体メモリ装置において、高温環境下でのデータ保持を向上させることができる。

## 【発明を実施するための最良の形態】

## 【0012】

## (1) 第1実施形態

## 〔構成〕

図1は、本発明の第1実施形態に係る半導体メモリ装置1000の電気回路図である。図3(d)は、半導体メモリ装置1000の断面図である。半導体メモリ装置1000は

、強誘電体キャパシタを利用した不揮発性のメモリ装置に適用される。この半導体メモリ装置 1000 は、メモリセル領域（第 1 の半導体領域）と周辺回路領域（第 2 の半導体領域）とから構成されている。

#### 【0013】

メモリセル領域には、ワード線 WL と、ビット線 BL と、参照用ビット線 BLR と、プレート線 PL と、少なくとも 1 つのメモリセルと、センスアンプ 30 と、第 1 プリチャージ回路 31 と、第 2 プリチャージ回路 32 とが形成されている。メモリセル領域は、後述するように、半導体基板である支持基板 1 と、支持基板 1 の表面に形成された絶縁膜 2 と、絶縁膜 2 の表面に形成された半導体膜 4 とからなる SOI 基板（Silicon On Insulator）上に形成されている。なお、ここでは、SOI 基板を用いるが、絶縁膜上に半導体膜が形成された構造の基板であれば他の種類の基板であっても良い。例えば、サファイア基板上に半導体膜が形成された SOS（Silicon On Sapphire）基板、ガラス基板上に半導体膜が形成された TFT 製造用の基板でも良い。

#### 【0014】

メモリセルは、選択トランジスタ 6a 及び強誘電体キャパシタ 15 を有している。選択トランジスタ 6a は、制御電極としてのゲート電極 7a と、第 1 の主電流路端としてのソース領域 8a に接続されるソース電極 12 と、第 2 の主電流路端としてのドレイン領域 9a に接続されるドレイン電極 13 とを有している。強誘電体キャパシタ 15 は、電極 16 及び 18 と、電極 16 及び 18 の間に配置された強誘電体膜 17 とを有している。選択トランジスタ 6a のゲート電極 7a はワード線 WL に接続され、選択トランジスタ 6a のソース電極 12 はビット線 BL に接続され、選択トランジスタ 6a のドレイン電極 13 は強誘電体キャパシタ 15 の電極 16 に接続されている。ここで、選択トランジスタ 6a のソース電極 12 が強誘電体キャパシタ 15 の電極 16 に接続され、ドレイン電極 13 がビット線 BL に接続されるようにしても良い。強誘電体キャパシタ 15 の電極 18 はプレート線 PL に接続されている。

#### 【0015】

第 1 プリチャージ回路 31 は、ビット線 BL に所定の電圧を印加してプリチャージする。第 2 プリチャージ回路 32 は、参照用ビット線 BLR に参照用の電圧を印加する。センスアンプ 30 は、ビット線 BL と参照用ビット線 BLR に接続されており、メモリセルからビット線 BL に読み出した電圧と参照用ビット線 BLR に印加された参照用電圧とを比較し、メモリセルに保持されたデータを判別する。なお、参照用ビット線 BLR 及び第 2 プリチャージ回路 32 は、ビット線 BL 及び第 1 プリチャージ回路 31 と別途設ける代わりに、隣接するビット線 BL の一方を参照用ビット線として使用し、参照用ビット線として使用するビット線に接続された第 1 プリチャージ回路を参照用の電圧を発生する第 2 プリチャージ回路として使用することもできる。この場合、第 1 プリチャージ回路 31 は、ビット線 BL をプリチャージする機能と、参照電圧を発生させる機能とを共有する。

#### 【0016】

周辺回路領域には、プレート線駆動部 22 と、周辺回路用電源 34 と、メモリセル領域用電源 33 とが形成されている。周辺回路領域は、後述するように、半導体基板である支持基板 1 と、支持基板 1 の表面に形成された絶縁膜 2 と、絶縁膜 2 の表面に形成された半導体膜 4 とからなる SOI 基板（Silicon On Insulator）上に形成されている。

#### 【0017】

プレート線駆動部 22 は、プレート線接続部 20 を介してプレート線 PL に接続されており、プレート線 PL に所定の電圧を印加する。周辺回路用電源 34 は、プレート線駆動部 22 に電圧を供給する。メモリセル領域用電源 33 は、センスアンプ 30、第 1 プリチャージ回路 31 及び第 2 プリチャージ回路 32 に電圧を供給する。周辺回路領域用電源 34 は、プレート線駆動部 22 を駆動する。メモリセル領域用電源 33 と周辺回路領域用電源 34 とは別系統で設けられ、非動作時において完全に絶縁される。メモリセル領域用電源 33 と周辺回路領域用電源 34 とは別系統で設けるとは、メモリセル領域用電源 33 及び周辺回路領域用電源 34 において共通の配線を使用せず、非動作時において配線を通じ



て短絡されないように形成することである。

【0018】

図2は、第1及び第2プリチャージ回路31、32、センスアンプ30、プレート線駆動部22の構成例である。

【0019】

第1及び第2プリチャージ回路31、32は、駆動信号SWが入力されるインバータI1と、駆動信号SW及びインバータI1の出力信号によってそれぞれ駆動されるトランジスタTr1及びTr2からなるトランスファークロークとから構成されている。第1及び第2プリチャージ回路31、32は、Tr1及びTr2が導通した場合にビット線BLを接地線GND1に接続し、ビット線BLに接地電位を印加する。

【0020】

センスアンプ30は、トランジスタTr3～Tr6から構成されており、Tr3及びTr4がビット線BL及び参照用ビット線BLRとの間に直列に接続されており、Tr5及びTr6がビット線BL及び参照用ビット線BLRとの間に直列に接続されている。また、Tr3及びTr4の接続部には接地線GND1が接続され、Tr5及びTr6の接続部には電源33が接続されている。また、ビット線BLは、Tr3及びTr5のゲート電極に接続され、参照用ビット線BLRは、Tr4及びTr6のゲート電極に接続されている。センスアンプ30では、BL及びBLRの電位によってTr3及びTr5の組またはTr4及びTr6の組で導通する。

【0021】

プレート線駆動部22は、駆動信号SWが入力されるインバータI2と、駆動信号SW及びインバータI2の出力信号によってそれぞれ駆動されるトランジスタTr7及びTr8からなるトランスファークロークと、複数のインバータI3とから構成されている。インバータI3は、それぞれ、電源34及び接地線GND2に接続されている。プレート線駆動部22は、Tr7及びTr8が導通した場合にプレート線PLをインバータI3を介して電源34に接続する。

【0022】

本実施形態では、第1及び第2プリチャージ回路31、32及びセンスアンプ30（メモリセル領域）に接続される電源33と、プレート線駆動部22（周辺回路領域）に接続される電源34とがそれぞれ別系統かつ非動作時に完全に絶縁される。また、接地線GND1と接地線GND2とが互いに絶縁されている。従って、非動作時においてビット線BLとプレート線PLとが、電源33と電源34とを介して、又は、接地線GND1と接地線GND2とを介して短絡されることを防止できる。

【0023】

仮に、電源33と電源34とが同一系統または非動作時において完全には絶縁されない場合、又は、接地線GND1と接地線GND2とが共通の場合には、第1及び第2プリチャージ回路31、32、センスアンプ30、プレート線駆動部22を構成するトランジスタの主電流路は非導通状態で大きな抵抗を有するものの、時間の経過とともにこれらのトランジスタの主電流路を介して電荷が移動し、ビット線BLとプレート線PLとが短絡される虞がある。このような場合には、ビット線BLに選択トランジスタ6aの主電流路を介して接続された強誘電体キャパシタ15の電極16と、プレート線PLに接続された電極18との間に電源33及び34、または、接地線GND1及びGND2を介して電荷移動の経路が形成されることとなり、高温データ保持時に強誘電体キャパシタ15の電荷が減少する虞がある。電源33及び34、または、接地線GND1及びGND2を介しての電荷移動は、上述したように非導通状態のトランジスタの主電流路を介しての電荷移動であるため、強誘電体キャパシタ15の電荷が減少する時定数は大きい、高温状態で長時間データを保持する場合に問題となる可能性がある。

【0024】

これに対して、本実施形態では、上述したように、電源33及び電源34がそれぞれ別系統かつ非動作時に完全に絶縁され、接地線GND1及び接地線GND2とが互いに絶縁

されているので、強誘電体キャパシタ 15 の電荷が電源 33 及び 34、または、接地線 GND1 及び GND2 を介して移動することを防止できる。これにより、高温状態で長時間のデータを保持することが可能となる。

#### 【0025】

この半導体メモリ装置 1000 では、ワード線 WL が能動して選択トランジスタ 6a のソース電極 12 及びドレイン電極 13 を導通させ、強誘電体キャパシタ 15 の電極 16 にビット線 BL、選択トランジスタ 6a を介して電圧を供給するとともに、強誘電体キャパシタ 15 の電極 18 にプレート線 PL を介して電圧を供給し、強誘電体キャパシタ 15 を自発分極させることによりデータを書き込み、その後、強誘電体キャパシタ 15 の電極 16 及び 18 間への電圧の印加を停止することにより、データを保持する。

#### 【0026】

##### 〔断面構造〕

図 3 (d) を参照して、半導体メモリ装置 1000 の断面構造を説明する。

#### 【0027】

半導体メモリ装置 1000 は、半導体基板である支持基板 1 と、絶縁膜 2 と、絶縁膜 2 を介して支持基板 1 上に形成された半導体膜 4 とを有する SOI 基板を備えており、SOI 基板上にメモリセル領域及び周辺回路領域が形成されている。

#### 【0028】

半導体膜 4 には、絶縁膜からなる素子分離領域 3 に分離された選択トランジスタ 6a 及び制御トランジスタ 6b が形成されている。選択トランジスタ 6a は、メモリセル領域に設けられ、活性領域 4a に形成されたソース領域 8a 及びドレイン領域 9a と、ソース領域 8a 及びドレイン領域 9a の間において活性領域 4a 上にゲート絶縁膜を介して形成されたゲート電極 7a とを有している。また、ゲート電極 7a はワード線 WL に接続されている。ここで、ソース領域 8a 及びドレイン領域 9a は互いに逆であっても良い。

#### 【0029】

トランジスタ 6b は、周辺回路領域に設けられ、活性領域 4b に形成されたソース領域 8b 及びドレイン領域 9b と、ソース領域 8b 及びドレイン領域 9b の間において活性領域 4b 上にゲート絶縁膜を介して形成されたゲート電極 7b とを有している。ここで、ソース領域 8b 及びドレイン領域 9b は互いに逆であっても良い。トランジスタ 6b は、プレート線駆動部 22 の制御トランジスタ（例えば、図 2 においてインバータ I3 を構成するトランジスタ）である。ここでは、プレート線駆動部 22 の他のトランジスタ及び周辺回路領域の他の回路を省略している。また、半導体膜 4 上にはビット線 BL に接続されたトランジスタ 6c が形成されている。トランジスタ 6c は、第 1 プリチャージ回路 31、第 2 プリチャージ回路 32 又はセンスアンプ 30 を構成するトランジスタのうちビット線 BL に接続されるものを代表的に表している。

#### 【0030】

また、選択トランジスタ 6a 及びトランジスタ 6b を覆うように層間絶縁膜 5 が形成されており、層間絶縁膜 5 上には強誘電体キャパシタ 15 が形成されている。強誘電体キャパシタ 15 は、電極 18 と、強誘電体膜 17 と、電極 16 とが順に積層されて構成されている。下部の電極である電極 18 は、上方から電氣的に接続するために強誘電体膜 17 及び電極 16 から外側にはみ出して形成されている。強誘電体膜 17 は、例えば、SBT ( $\text{SrBiTa}_2\text{O}_9$ )、PZT ( $\text{Pb}(\text{Zr}_x\text{O}_{1-x})$ )、SBTN ( $(\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9)$ )、BLT ( $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ ) である。電極 16 及び電極 18 は、例えば Pt, Ir 等であり、後述する埋込配線 14、19 との間に密着膜や酸素防止膜を形成しても良い。

#### 【0031】

層間絶縁膜 5 上には、強誘電体キャパシタ 15 を覆うように層間絶縁膜 25 が形成されている。層間絶縁膜 25 には、層間絶縁膜 25 を貫通して強誘電体キャパシタ 15 の電極 16 及び電極 18 をそれぞれ露出する開口部が形成されている。また、層間絶縁膜 25 には、層間絶縁膜 25 及び 5 を貫通して、選択トランジスタ 6a 乃至 6c のソース領域及び

ドレイン領域を露出する開口部が形成されている。

#### 【0032】

層間絶縁膜 25 上には、ビット線 BL と、ビット線 BL に接続されるとともに埋込配線 10 を介してソース領域 8a に接続されたソース電極 12 と、埋込配線 11 を介してドレイン領域 9a に接続されるとともに埋込配線 14 を介して強誘電体キャパシタ 15 の電極 16 に接続されたドレイン電極 13 とが形成されている。また、層間絶縁膜 25 上には、埋込配線 19 を介して強誘電体キャパシタ 15 の電極 18 に接続されるプレート線 PL が形成されている。また、層間絶縁膜 25 上には、プレート線 PL に接続されるとともに埋込配線 21 を介してトランジスタ 6b のソース領域 8a に接続されるプレート線接続部 20 が形成されている。また、層間絶縁膜 25 上には、埋込配線 10a を介してトランジスタ 6c のドレイン領域 9b に接続されたビット線 BL が形成されている。

#### 【0033】

##### 〔製造方法〕

以下、半導体メモリ装置 1 の製造方法を図 3 を参照して説明する。

#### 【0034】

図 3 (a) に示すように、Si からなる半導体基板である支持基板 1 上に絶縁膜 2 を介して半導体膜 4 が形成された SOI (Silicon On Insulator) 基板を準備する。

#### 【0035】

次に、図 3 (b) に示すように、半導体膜 4 に素子分離領域 3 を形成する。また、閾値電圧制御のために、N 型または P 型の不純物 (例えば、N 型不純物としてリン P、P 型不純物としてボロン B) を選択的にイオン注入し、活性化することにより活性領域 4a 乃至 4c を形成する。次に、SiO<sub>2</sub> 等からなる絶縁膜、多結晶シリコンを順に堆積し、フォトリソグラフィ、エッチングによりゲート電極 7a 乃至 7c、ワード線 WL を形成する領域をマスクし、絶縁膜、多結晶シリコンを例えば RIE (Reactive Ion Etching) によりエッチングし、ゲート絶縁膜及びゲート電極 7a 及び 7b、ワード線 WL を形成する。引き続き、活性化領域 4a 乃至 4c に P 型または N 型の不純物 (例えば、N 型不純物としてヒ素 As、P 型不純物としてボロン B) を注入し、活性化領域 4a 乃至 4c にソース領域 8a ~ 8c 及びドレイン領域 9a ~ 9c を形成し、選択トランジスタ 6a 乃至 6c を形成する。

#### 【0036】

その後、図 3 (c) に示すように、CVD 法により SiO<sub>2</sub> または Si<sub>3</sub>N<sub>4</sub> からなる層間絶縁膜 5 を堆積し、選択トランジスタ 6a 乃至 6c を層間絶縁膜 5 で覆う。次に、層間絶縁膜 5 上に Pt 膜、STB 膜、Pt 膜を順に堆積し、これらをフォトリソグラフィ、エッチングによりパターニングし、強誘電体キャパシタ 15 を形成する。

#### 【0037】

次に、図 3 (d) に示すように、CVD 法により SiO<sub>2</sub> または Si<sub>3</sub>N<sub>4</sub> からなる層間絶縁膜 25 を層間絶縁膜 5 上に堆積し、層間絶縁膜 25 によって強誘電体キャパシタ 15 を覆う。その後、層間絶縁膜 5 及び 25 をフォトリソ、エッチングして、ソース領域 8a ~ 8c 及びドレイン領域 9a ~ 9c、電極 16 及び 18 を露出する開口部を形成する。次に、層間絶縁膜 25 上に導電膜を堆積し、各開口部を導電膜で埋め込む。引き続き、導電膜をフォトリソグラフィ、エッチングによりパターニングし、ソース電極 12 及びドレイン電極 13、プレート線 PL、プレート線接続部 20、ビット線 BL 等を形成する。

#### 【0038】

ここでは、第 1 プリチャージ回路 31、第 2 プリチャージ回路 32 又はセンスアンプ 30 のトランジスタ 6c、プレート線駆動部 22 の制御トランジスタ 6b の製造のみを示しているが、他のトランジスタについても同様に製造される。

#### 【0039】

なお、ここでは、SOI 基板を用いているが、絶縁膜上に半導体膜が形成された構造の基板であれば他の種類の基板であっても良い。例えば、サファイア基板上に半導体膜が形成された SOS (Silicon On Sapphire) 基板、ガラス基板上に半導体膜が形成された T

FT製造用の基板を使用しても良い。

#### 【0040】

##### 〔作用効果〕

この半導体メモリ装置1では、プレート線PLから強誘電体キャパシタ15の電極18に電圧を供給するとともに、ビット線BLから選択トランジスタ6aを介して電極16に電圧を供給することにより、強誘電体キャパシタ15の電極16及び18間に電圧を印加し、強誘電体膜17を自発分極させる。その後、電極16及び18間への電圧の印加を停止し、強誘電体膜17に自発分極を保持させることによりデータを蓄積する。しかしながら、強誘電体膜17の自発分極は温度依存性を有しており、図4に示すように、周囲温度が上昇するほど分極量が減少する性質があり、高温環境下ではデータの保持能力が著しく低下するため、データが破壊されてしまうことがある。

#### 【0041】

図5は、本発明に係る半導体メモリ装置1000との比較のための比較例としての半導体メモリ装置1000aの電気回路図であり、図6は半導体メモリ装置1000a断面図である。

#### 【0042】

比較例に係る半導体メモリ装置1000aでは、メモリセル領域用電源と周辺回路用電源と（本実施形態の電源33及び34に対応）が共通電源23として同一系統に設けられ、非動作時においてメモリセル領域用電源と周辺回路用電源とが絶縁されていない。また、第1及び第2プリチャージ回路31、32及びセンスアンプ30に接続される接地線GND1とプレート線駆動部22に接続される接地線GND2も共通となっている。また、比較例に係る半導体メモリ装置1000aでは、メモリセル領域及び周辺回路領域がともに下地バルク領域としての支持基板1に形成されている。図6に示すように、半導体メモリ装置1000aでは、支持基板1と半導体膜4とが絶縁膜2によって絶縁されておらず、支持基板1に直接、選択トランジスタ6a及び制御トランジスタ6bが形成されている。半導体メモリ装置1000aは、支持基板1と活性領域4a及び活性領域4bとが絶縁膜2で絶縁されていないために、強誘電体キャパシタ15の電極16、活性領域4aから活性領域4b（図中の矢印）、電極18の経路で電荷が移動する虞がある。

#### 【0043】

図7は、本発明に係る半導体メモリ装置1000と、比較例に係る半導体メモリ装置1000aにおいて、高温環境下でのデータ保持能力を比較した図である。図8は、半導体メモリ装置1000と半導体メモリ装置1000aとにおいて、ビット線BLの電位Vb1、参照用ビット線BLRの電位Vb0、ビット線電位差 $\Delta Vb (=Vb0 - Vb1)$ を比較した比較図である。

#### 【0044】

まず、半導体メモリ装置1000及び半導体メモリ装置1000aの周囲温度を室温にし、ビット線BL及びプレート線PL間の電圧1.8Vで強誘電体キャパシタ15を自発分極させた後、周囲温度を240℃で15分間データを保持させる。

#### 【0045】

図7(a)、(b)の「昇温前(室温)」では、室温環境下での半導体メモリ装置1000及び半導体メモリ装置1000aの強誘電体キャパシタ15の分極量はともにP0であり、ビット線電圧差 $\Delta Vb$ は約0.3Vである。次に、半導体メモリ装置1000及び半導体メモリ装置1000aを240℃まで昇温して15分間高温環境下に置くと、図4に示した高温特性によって強誘電体キャパシタ15の分極量がP0からP1に減少する。

#### 【0046】

半導体メモリ装置1000aでは、選択トランジスタ6aの活性領域4aと選択トランジスタ6bの活性領域4bとが共に支持基板1に形成されているため、電極16、ドレイン電極13、支持基板1（図6に矢印で示した活性領域4aと活性領域4bとの間の経路）、プレート線PL、電極18を通る電荷移動の経路が形成される。また、センスアンプ30又は第1プリチャージ回路31から選択トランジスタ6a、ビット線BLを介して電

極 16 に接続されたメモリセル領域用電源と、プレート線駆動部 22 及びプレート線 PL を介して電極 18 に接続された周辺回路領域用電源とが共通電源 23 として同一系統に設けられ、非動作時においてメモリセル領域用電源と周辺回路領域用電源とが絶縁されておらず、接地線 GND1 と接地線 GND2 とが絶縁されていないため、電極 16 及び 18 の間には、電源 33 及び 34、又は、接地線 GND1 及び GND2 を介して電荷が移動する経路（図 6 の破線で示す経路）が形成される。従って、図 7 (a) の「高温時」に示すように、高温環境下のデータ保持の間に、強誘電体キャパシタ 15 の分極量が減少し、電極 16 及び 18 での電荷保持能力が弱まると、電極 16 及び 18 上の電荷は、支持基板 1 を介した経路、電源 33 及び 34 を介した経路、及び接地線 GND1 及び GND2 を介した経路で移動してしまう。このため、高温環境下のデータ保持の間に、強誘電体キャパシタ 15 の分極量が  $P_1$  ( $< P_0$ ) に減少する。

#### 【0047】

その後、室温環境下に戻したとしても、図 7 (a) の「降温後（室温）」に示すように、電極 16 及び 18 の電荷が移動してしまっているため、外部から電荷を供給しない限りは、強誘電体キャパシタ 15 の分極量は元の分極量  $P_0$  に戻らず、 $P_1$  ( $< P_0$ ) のままである。その結果、図 8 (a) に示すように、降温後の電極 16 及び 18 間の電位差  $\Delta V_b$  はほとんどゼロまで減少する。

#### 【0048】

一方、半導体メモリ装置 1000 では、選択トランジスタ 6a の活性領域 4a と制御トランジスタ 6b の活性領域 4b とが絶縁膜 2 によって絶縁されており、かつ、電源 33 及び 34 が別系統かつ非動作時において完全に絶縁され、かつ、接地線 GND1 及び GND2 が互いに絶縁されているので、電極 16 及び 18 の間に、支持基板 1 を介する経路、電源 33 及び 34 を介する経路、及び接地線 GND1 及び GND2 を介する経路の何れの電荷移動の経路も形成されない。即ち、高温環境下のデータ保持の間に強誘電体キャパシタ 15 の分極量が  $P_0$  から  $P_1$  ( $< P_0$ ) に減少したとしても、電極 16 及び 18 の電荷は移動することができない。従って、半導体メモリ装置 1000 においては、高温環境下のデータ保持の間に、図 7 (b) の「高温時」に示すように、強誘電体膜 17 の分極量が  $P_0$  から  $P_1$  に減少したとしても電極 16 及び 18 の電荷量が保持される。

#### 【0049】

この結果、半導体メモリ装置 1000 では、図 7 (b) の「降温後（室温）」に示すように、周囲温度が室温に低下した後は、外部から電荷が供給されなくても、電極 16 及び 18 に保持された電荷によって分極量が  $P_1$  から  $P_0$  に増加する。また、周囲温度が室温に低下した後は、分極量が  $P_0$  に戻るため、図 8 (b) に示すように、電圧差  $\Delta V_b$  は昇温前とほぼ同じ値を保持することができ、高温環境下を経た後もデータを保持することができる。

#### 【0050】

なお、半導体メモリ装置 1000a では、電源 33 及び 34 を同一系統に構成し、メモリセル領域と周辺回路領域とを両方ともバルク領域である支持基板 1 に形成したため、強誘電体キャパシタ 15 の電極 16 及び 18 の間に支持基板 1 を通る電荷移動の経路、電源 33 及び 34 を介した電荷移動の経路、及び接地線 GND1 及び GND2 を介した電荷移動の経路が形成されることにより、高温環境下のデータ保持時において電極 16 及び 18 の間で電荷が移動した。

#### 【0051】

半導体メモリ装置 1000a の構成以外にも、メモリセル領域と周辺回路領域の活性層が互いに絶縁されること（第 1 の条件）、電源 33 及び 34 を別系統かつ非動作時において完全に絶縁されること（第 2 の条件）、接地線 GND1 及び GND2 が互いに絶縁されること（第 3 の条件）の何れか 1 つでも満たされていない場合は、半導体メモリ装置 1000a の場合と同様に、高温環境下のデータ保持の間に電極 16 及び 18 の間で電荷が移動する経路が形成される。第 1 の条件が満たされない場合には、電極 16 及び 18 の間で支持基板 1 を通る電荷の移動経路が形成され、高温環境下でデータ保持したのち室温に戻す

と、電極 16 及び 18 間の電圧は図 8 (a) のようにデータが失われる。

【0052】

なお、第 2 の条件及び第 3 の条件の少なくとも一方を満たさない場合には、電源 33 及び 34 を介する電荷移動の経路、接地線 GND1 及び GND2 を介する電荷移動の経路が発生するが、何れの経路も非導通状態のトランジスタの主電流路を通る経路であるので、支持基板 1 を介した経路に比較すると電荷の移動の速度は小さく、短時間に電荷が移動する可能性は小さいが、長時間保持すれば、図 8 (a) のようにデータが失われる。

【0053】

(2) 第 2 実施形態

〔構成〕

図 10 は、第 2 実施形態に係る半導体メモリ装置 1000b の断面図である。半導体メモリ装置 1000b の電気回路図は図 1 と同様である。

【0054】

本実施形態では、メモリセル領域において、選択トランジスタ 6a の活性領域 4a は、下地バルク領域である支持基板 1 に形成されている。一方、制御トランジスタ 6b は、第 1 実施形態の場合と同様に半導体膜 4 に形成されている。また、図 1 と同様に、メモリセル領域用電源 33 と周辺回路領域用電源 34 とは別系統で設けられ、非動作時において完全に絶縁される。また、接地線 GND1 と接地線 GND2 は互いに絶縁されている。

【0055】

〔製造方法〕

以下、半導体メモリ装置 1000b の製造方法について図 9 及び図 10 を参照して説明する。

【0056】

Si からなる半導体基板である支持基板 1 上に絶縁膜 2 を介して半導体膜 4 が形成された SOI (Silicon On Insulator) 基板を準備し、図 9 (a) に示すように、フォトリソ、エッチングによりメモリセル領域の半導体膜 4 及び絶縁膜 2 を除去し、下地バルク領域としての支持基板 1 を露出させる。

【0057】

次に、図 9 (b) に示すように、支持基板 1 の表面に素子分離領域 30 を形成し、絶縁膜 2 上に素子分離領域 3 を形成する。また、N 型または P 型の不純物 (例えば、N 型不純物としてリン P、P 型不純物としてボロン B) を選択的にイオン注入し、活性化することにより活性領域 4a 及び 4b を形成する。

【0058】

次に、図 9 (c) に示すように、SiO<sub>2</sub> からなる絶縁膜、多結晶シリコンを順に堆積し、ホトリソグラフィ技術によりゲート電極 7a 及び 7b、ワード線 WL を形成する領域をマスクし、絶縁膜、多結晶シリコンを例えば RIE (Reactive Ion Etching) によりエッチングし、ゲート絶縁膜及びゲート電極 7a 及び 7b、ワード線 WL を形成する。

【0059】

次に、図 9 (d) に示すように、活性化領域 4a 及び 4b に P 型または N 型の不純物 (例えば、N 型不純物としてヒ素 As、P 型不純物としてボロン B) を注入し、活性化領域 4a にはソース領域 8a 及びドレイン領域 9a、活性化領域 4b にはソース領域 8b 及びドレイン領域 9b を形成する。その後、CVD 法により SiO<sub>2</sub> または Si<sub>3</sub>N<sub>4</sub> からなる層間絶縁膜 5 を堆積し、選択トランジスタ 6a 及びトランジスタ 6b を層間絶縁膜 5 で覆う。次に、層間絶縁膜 5 上に Pt 膜、STB 膜、Pt 膜を順に堆積し、これらをフォトリソグラフィ、エッチングによりパターンニングし、強誘電体キャパシタ 15 を形成する。

【0060】

次に、図 10 に示すように、CVD 法により SiO<sub>2</sub> または Si<sub>3</sub>N<sub>4</sub> からなる層間絶縁膜 25 を層間絶縁膜 5 上に堆積し、層間絶縁膜 25 によって強誘電体キャパシタ 15 を覆う。その後、層間絶縁膜 5 及び 25 をフォトリソ、エッチングして、ソース領域 8a 及

びドレイン領域 9 a、電極 16 及び 18、ソース領域 8 b 及びドレイン領域 9 b を露出する開口部を形成する。次に、層間絶縁膜 25 上に導電膜を堆積し、各開口部を導電膜で埋め込む。引き続き、導電膜をフォトリソ、エッチングによりパターンニングし、ソース電極 12 及びドレイン電極 13、プレート線 PL、プレート線接続部 20、ビット線 BL 等を形成する。

#### 【0061】

なお、ここでは、SOI 基板を用いているが、絶縁膜上に半導体膜が形成された構造の基板であれば他の種類の基板であっても良い。例えば、サファイア基板上に半導体膜が形成された SOS (Silicon On Sapphire) 基板、ガラス基板上に半導体膜が形成された TFT 製造用の基板を使用しても良い。

#### 【0062】

##### 〔作用効果〕

本実施形態では、選択トランジスタ 6 a の活性領域 4 a が支持基板 1 に形成されているものの、制御トランジスタ 6 b の活性領域 4 b が絶縁膜 2 によって支持基板 1 から絶縁されているために、第 1 実施形態と同様に、強誘電体キャパシタ 15 の電極 16 及び 18 の間に支持基板 1 を介して電荷が移動する経路が形成されない。また、第 1 実施形態と同様に、電源 33 及び 34 が別系統かつ非動作時において完全に絶縁され、かつ、接地線 GND1 及び GND2 が互いに絶縁されているので、強誘電体キャパシタ 15 の電極 16 及び 18 の間に電源 33 及び 34 側を介して電荷が移動する経路も、接地線 GND1 及び GND2 を介して移動する経路も形成されない。従って、高温データ保持時、即ち、高温非動作時において強誘電体キャパシタ 15 の自発分極が減少したとしても、強誘電体キャパシタ 15 の電極 16 及び 18 の電荷が移動せず、保持される。

#### 【0063】

また、選択トランジスタ 6 a 等のメモリセル領域のトランジスタの活性領域が支持基板 1 に形成されているので、メモリセル領域のトランジスタの動作時に活性領域がフローティングであるために生じる虞がある不安定性を回避することができる。

#### 【0064】

##### (3) 第 3 実施形態

##### 〔構成〕

図 12 は、第 3 実施形態に係る半導体メモリ装置 1000c の断面図である。半導体メモリ装置 1000c の電気回路図は図 1 と同様である。

#### 【0065】

本実施形態では、選択トランジスタ 6 a の活性領域 4 a は、第 1 実施形態と同様に、絶縁膜 2 を介して支持基板 1 上に形成されている。一方、制御トランジスタ 6 b の活性領域 4 b 等の周辺回路領域のトランジスタの活性領域は、下地バルク領域である支持基板 1 に形成されている。また、図 1 と同様に、メモリセル領域用電源 33 と周辺回路領域用電源 34 とは別系統で設けられ、非動作時において完全に絶縁される。また、接地線 GND1 と接地線 GND2 は互いに絶縁されている。

#### 【0066】

##### 〔製造方法〕

以下、半導体メモリ装置 1000b の製造方法について図 11 乃至図 12 を参照して説明する。

#### 【0067】

Si からなる半導体基板である支持基板 1 上に絶縁膜 2 を介して半導体膜 4 が形成された SOI (Silicon On Insulator) 基板を準備し、図 11 (a) に示すように、フォトリソ、エッチングにより周辺回路領域の半導体膜 4 及び絶縁膜 2 を除去し、下地バルク領域としての支持基板 1 を露出させる。

#### 【0068】

次に、図 11 (b) に示すように、支持基板 1 の表面に素子分離領域 30 を形成し、絶縁膜 2 上の半導体膜に素子分離領域 3 を形成する。また、N 型または P 型の不純物 (例え

ば、N型不純物としてリンP、P型不純物としてボロンB)を選択的にイオン注入し、活性化することにより活性領域4a及び4bを形成する。

#### 【0069】

次に、 $\text{SiO}_2$  からの絶縁膜、多結晶シリコンを順に堆積し、ホトリソグラフィ技術によりゲート電極7a及び7b、ワード線WLを形成する領域をマスクし、絶縁膜、多結晶シリコンを例えばRIE(Reactive Ion Etching)によりエッチングし、図11(c)に示すように、ゲート絶縁膜及びゲート電極7a及び7b、ワード線WL(図示せず)を形成する。また、活性化領域4a及び4bにP型またはN型の不純物(例えば、N型不純物としてヒ素As、P型不純物としてボロンB)を注入し、活性化領域4aにはソース領域8a及びドレイン領域9a、活性化領域4bにはソース領域8b及びドレイン領域9bを形成する。

#### 【0070】

その後、図11(d)に示すように、CVD法により $\text{SiO}_2$  または $\text{Si}_3\text{N}_4$  からの層間絶縁膜5を堆積し、選択トランジスタ6a及びトランジスタ6bを層間絶縁膜5で覆う。次に、層間絶縁膜5上にPt膜、STB膜、Pt膜を順に堆積し、これらをフォトリソグラフィ、エッチングによりパターンニングし、強誘電体キャパシタ15を形成する。

#### 【0071】

次に、図12に示すように、CVD法により $\text{SiO}_2$  または $\text{Si}_3\text{N}_4$  からの層間絶縁膜25を層間絶縁膜5上に堆積し、層間絶縁膜25によって強誘電体キャパシタ15を覆う。その後、層間絶縁膜5及び25をフォトリソ、エッチングして、ソース領域8a及びドレイン領域9a、電極16及び18、ソース領域8b及びドレイン領域9bを露出する開口部を形成する。次に、層間絶縁膜25上に導電膜を堆積し、各開口部を導電膜で埋め込む。引き続き、導電膜をフォトリソ、エッチングによりパターンニングし、ソース電極12及びドレイン電極13、プレート線PL、プレート線接続部20、ビット線BLを形成する。

#### 【0072】

なお、ここでは、SOI基板を用いているが、絶縁膜上に半導体膜が形成された構造の基板であれば他の種類の基板であっても良い。例えば、サファイア基板上に半導体膜が形成されたSOS(Silicon On Sapphire)基板、ガラス基板上に半導体膜が形成されたFT製造用の基板を使用しても良い。

#### 【0073】

##### 〔作用効果〕

本実施形態では、プレート線駆動部22の活性領域4bが支持基板1に形成されるものの、選択トランジスタ6aの活性領域4aが絶縁膜2によって支持基板1から絶縁されているために、第1実施形態と同様に、強誘電体キャパシタ15の電極16及び18の間に支持基板1を介して電荷が移動する経路が形成されない。また、第1実施形態と同様に、電源33及び34が別系統かつ非動作時において完全に絶縁され、かつ、接地線GND1及びGND2が互いに絶縁されているので、強誘電体キャパシタ15の電極16及び18の間に電源33及び34側を介して電荷が移動する経路も、接地線GND1及びGND2を介して移動する経路も形成されない。従って、高温データ保持時、即ち、高温非動作時において強誘電体キャパシタ15の自発分極が減少したとしても、強誘電体キャパシタ15の電極16及び18の電荷が移動せず、保持される。

#### 【0074】

また、トランジスタ6b等の周辺回路領域の活性領域が支持基板1に形成されているので、周辺回路領域のトランジスタの動作時に活性領域がフローティングであるために生じる虞がある不安定性を回避することができる。

#### 【0075】

##### (4) 第4実施形態

##### 〔構成〕



図13(c)は、第4実施形態に係る半導体メモリ装置1000dの断面図である。半導体メモリ装置1000dの電気回路図は図1と同様である。

#### 【0076】

本実施形態では、メモリセル領域及び周辺回路領域がそれぞれ別々の支持基板1a及び1bに形成され、支持基板1aと支持基板1bとは所定の間隔をもって配置されており、支持基板1aのメモリセル領域と支持基板1bの周辺回路領域とが配線24で接続されている。支持基板1a及び1bは、Si等からなる半導体基板である。また、図1と同様に、メモリセル領域用電源33と周辺回路領域用電源34とは別系統で設けられ、非動作時において完全に絶縁される。

#### 【0077】

##### 〔製造方法〕

ここでは、支持基板1a及び1bが同一の半導体ウエハ上に配置された場合を説明する。まず、図13(a)に示すように、支持基板1a及び1bにN型またはP型の不純物（例えば、N型不純物としてリンP、P型不純物としてボロンB）を選択的にイオン注入し、活性化することにより活性領域4a及び4bを形成する。

#### 【0078】

次に、SiO<sub>2</sub>からなる絶縁膜、多結晶シリコンを順に堆積し、ホトリソグラフィ・エッチングによりゲート電極7a及び7b、ワード線WLを形成する領域をマスクし、絶縁膜、多結晶シリコンを例えばRIE(Reactive Ion Etching)によりエッチングし、図13(b)に示すように、ゲート絶縁膜及びゲート電極7a及び7b、ワード線WL（図示せず）を形成する。また、活性化領域4a及び4bにP型またはN型の不純物（例えば、N型不純物としてヒ素As、P型不純物としてボロンB）を注入し、活性化領域4aにはソース領域8a及びドレイン領域9a、活性化領域4bにはソース領域8b及びドレイン領域9bを形成する。

#### 【0079】

その後、CVD法によりSiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>からなる層間絶縁膜5を堆積し、選択トランジスタ6a及び制御トランジスタ6bを層間絶縁膜5で覆う。次に、層間絶縁膜5上にPt膜、STB膜、Pt膜を順に堆積し、これらをフォトリソグラフィ・エッチングによりパターニングし、強誘電体キャパシタ15を形成する。

#### 【0080】

次に、図13(c)に示すように、CVD法によりSiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>からなる層間絶縁膜25を層間絶縁膜5上にそれぞれ堆積し、層間絶縁膜25によって強誘電体キャパシタ15を覆う。その後、層間絶縁膜5及び25をフォトリソ、エッチングして、ソース領域8a及びドレイン領域9a（選択トランジスタ6a）、電極16及び18、ソース領域8b及びドレイン領域9b（制御トランジスタ6b）を露出する開口部を形成する。次に、層間絶縁膜25上に導電膜を堆積し、各開口部を導電膜で埋め込む。引き続き、導電膜をフォトリソ、エッチングによりパターニングし、ソース電極12及びドレイン電極13、プレート線PL、プレート線接続部20、ビット線BLを形成する。

#### 【0081】

支持基板1aを含むチップ及び支持基板1bを含むチップを半導体ウエハから分離し、支持基板1aを含むチップ及び支持基板1bを含むチップを所定の間隔をもって配置し、プレート線PLとプレート線接続部20を配線24で接続する等、メモリセル領域と周辺回路領域とを電気的接続する。

#### 【0082】

ここでは、支持基板1a及び1bが同一の半導体ウエハ上に形成されている場合を説明したが、支持基板1a及び1bが別々の半導体ウエハ上に形成されていてもよい。この場合には、上記と同様に各半導体ウエハの支持基板1a及び1bにそれぞれメモリセル領域及び周辺回路領域を形成し、メモリセル領域が形成されたチップ及び周辺回路領域が形成されたチップをそれぞれ各半導体ウエハから分離し、メモリセル領域が形成されたチップ及び周辺回路領域が形成されたチップを所定の間隔をもって配置し、プレート線PLとブ

レート線接続部 20 を配線 24 で接続する等、メモリセル領域と周辺回路領域とを電氣的接続する。

#### 【0083】

##### 〔作用効果〕

本実施形態では、選択トランジスタ 6a 等のメモリセル領域のトランジスタの活性領域及び制御トランジスタ 6b 等の周辺回路領域のトランジスタの活性領域が共に下地バルク領域である支持基板 1a 及び 1b にそれぞれ形成されるものの、支持基板 1a と支持基板 1b とは所定の間隔をもって配置され完全に絶縁されているため、強誘電体キャパシタ 15 の電極 16 及び 18 の間において支持基板 1a 及び 1b を介して電荷が移動する経路が形成されない。また、第 1 実施形態と同様に、電源 33 及び 34 が別系統かつ非動作時において完全に絶縁され、かつ、接地線 GND1 及び GND2 が互いに絶縁されているので、強誘電体キャパシタ 15 の電極 16 及び 18 の間に、電源 33 及び 34 を介して電荷が移動する経路も、接地線 GND1 及び GND2 を介して移動する経路も形成されない。従って、高温データ保持時、即ち、高温非動作時において強誘電体キャパシタ 15 の自発分極が減少したとしても、強誘電体キャパシタ 15 の電極 16 及び 18 の電荷が移動せず、保持される。

#### 【0084】

また、本実施形態では、選択トランジスタ 6a 等のメモリセル領域のトランジスタの活性領域及び制御トランジスタ 6b 等の周辺回路領域のトランジスタの活性領域が共に下地バルク領域である支持基板 1a 及び 1b にそれぞれ形成されているため、メモリセル領域及び周辺回路領域のトランジスタの動作時において、活性領域がフローティングなために生じる虞のある不安定性を回避できる。

#### 【0085】

なお、上記第 1 乃至第 3 実施形態においてもメモリセル領域及び周辺回路領域を別々の基板に形成しても良い。別々の基板に形成すれば、強誘電体キャパシタ 15 の電極 16 及び 18 間の基板側での絶縁性がより向上する。

##### 【図面の簡単な説明】

#### 【0086】

- 【図 1】 第 1 実施形態に係る半導体メモリ装置の電気回路図。
- 【図 2】 センスアンプ、プリチャージ回路、プレート線駆動部の構成例。
- 【図 3】 第 1 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。
- 【図 4】 自発分極の温度依存性を説明する図。
- 【図 5】 比較例に係る半導体メモリ装置の電気回路図。
- 【図 6】 比較例に係る半導体メモリ装置の断面図。
- 【図 7】 データ保持能力の温度依存性を説明する図。
- 【図 8】 強誘電体キャパシタの電極間の電圧差の温度依存性を説明する図。
- 【図 9】 第 2 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。
- 【図 10】 第 2 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。
- 【図 11】 第 3 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。
- 【図 12】 第 3 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。
- 【図 13】 第 4 実施形態に係る半導体メモリ装置の製造方法を説明する断面図。

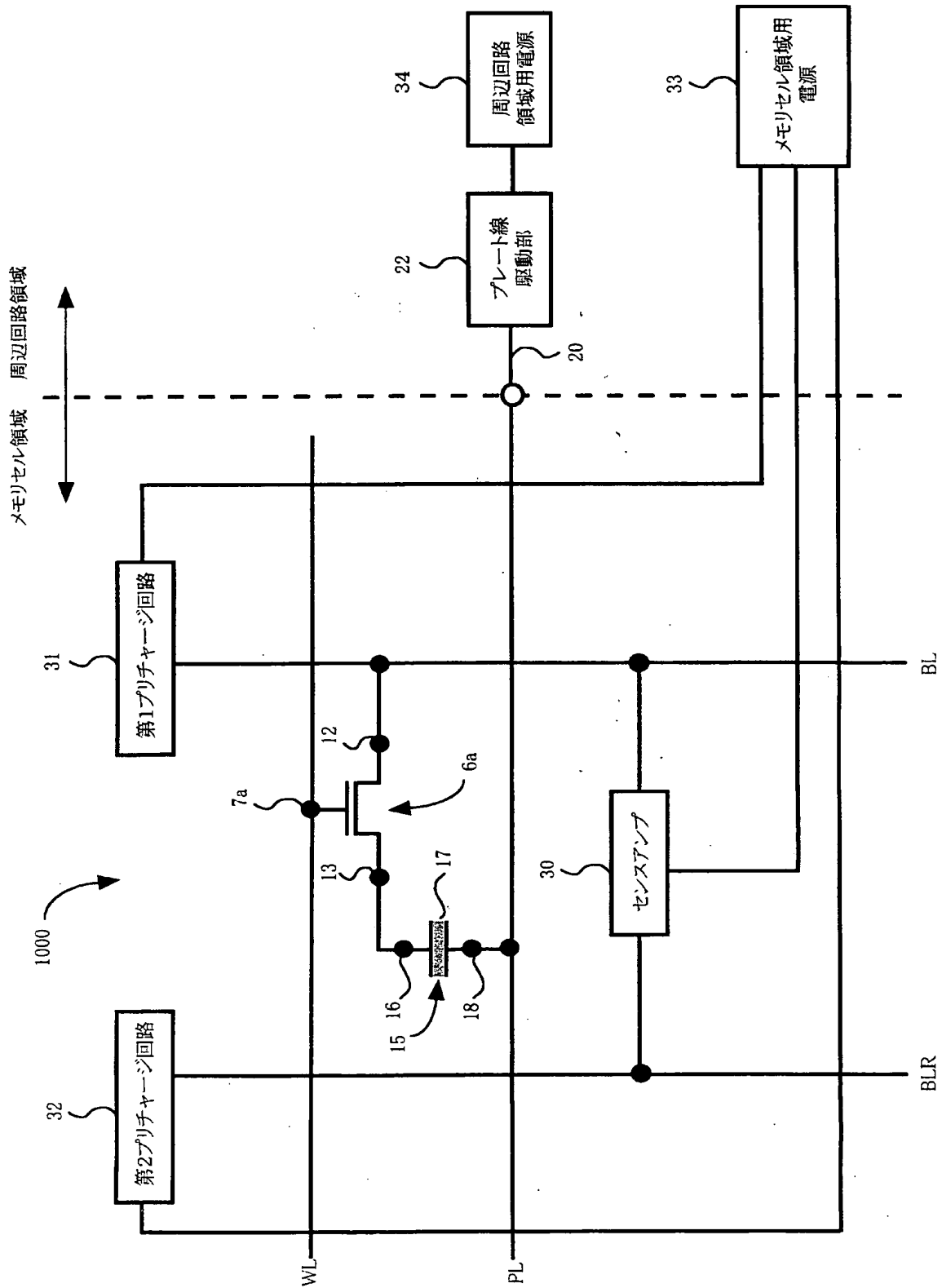
##### 【符号の説明】

#### 【0087】

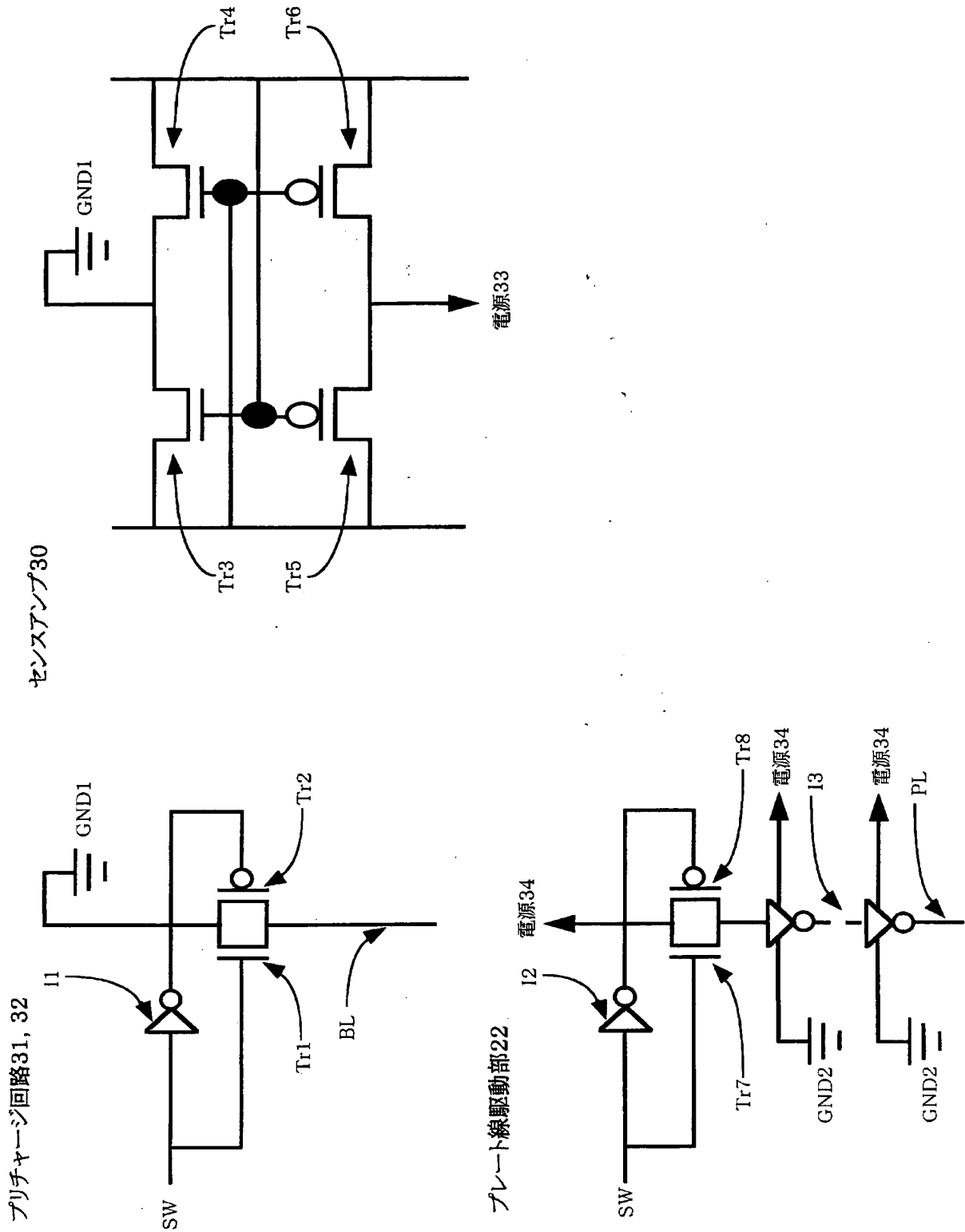
- 1 支持基板（下地バルク領域）
- 2 絶縁膜
- 3 素子分離領域
- 4 活性領域
- 5、25 層間絶縁膜
- 8、9 ソース領域、ドレイン領域
- 10、11、14、19、21 埋込配線

- 1 2、1 3 ソース電極、ドレイン電極
- 1 5 強誘電体キャパシタ
- 1 6、1 8 電極
- 1 7 強誘電体膜
- 2 2 プレート線駆動部
- 3 0 センスアンプ
- 3 1 第 1 プリチャージ回路
- 3 2 第 2 プリチャージ回路
- 3 3 メモリ領域用電源
- 3 4 周辺回路用電源

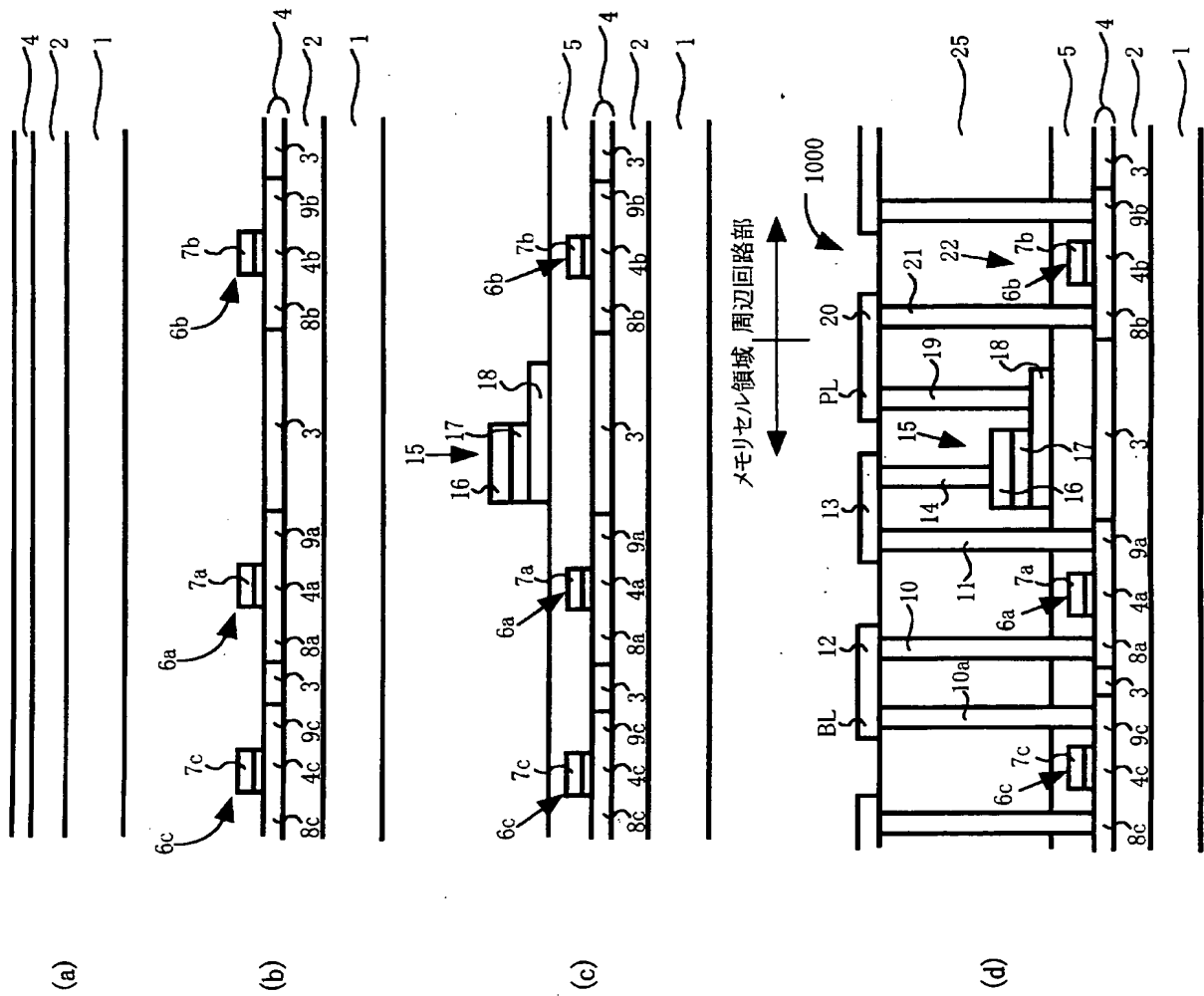
【書類名】 図面  
【図 1】



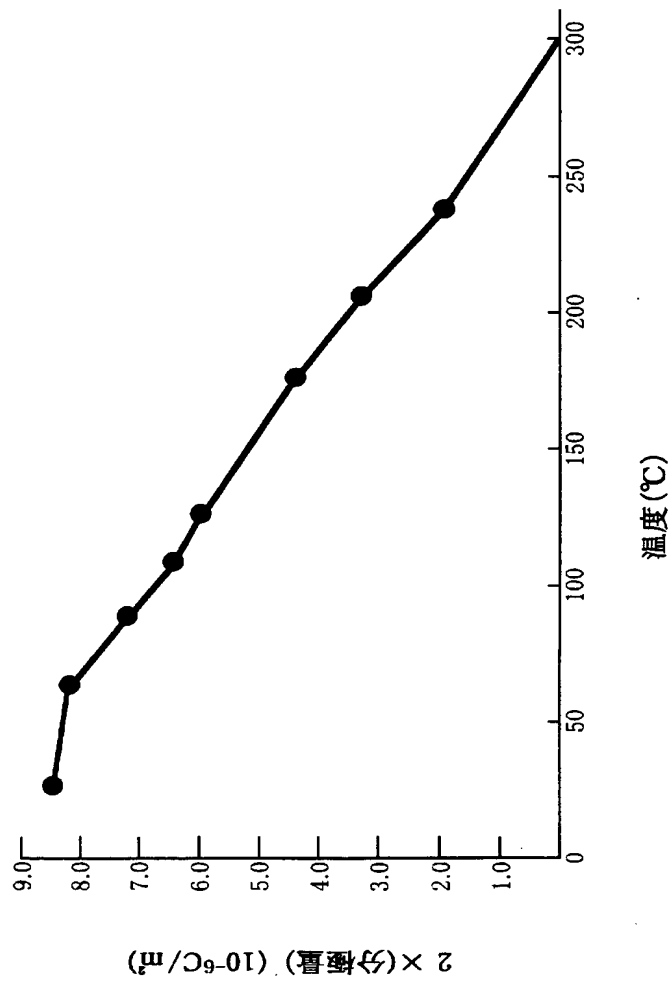
【図 2】



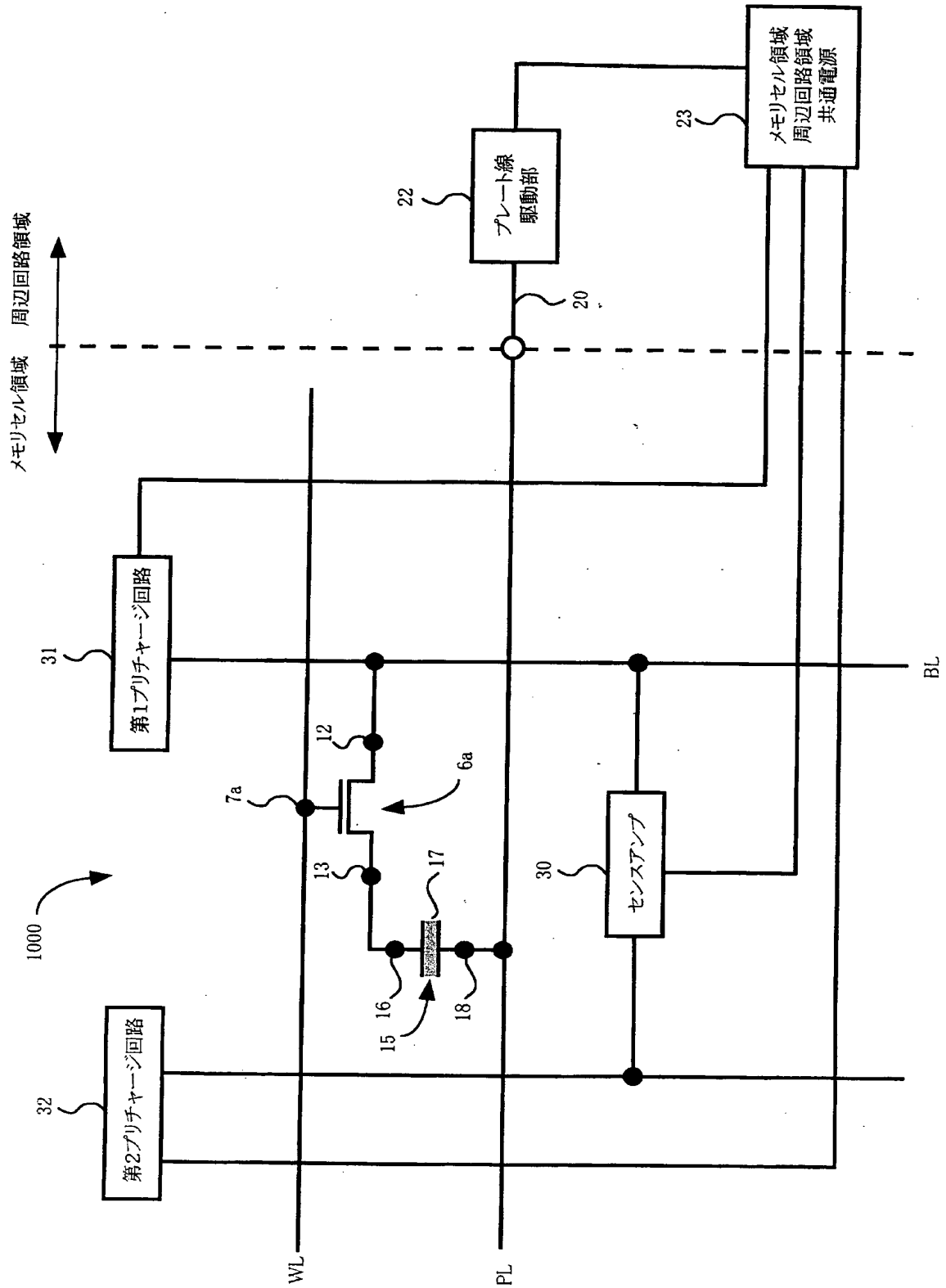
【図 3】



【図 4】

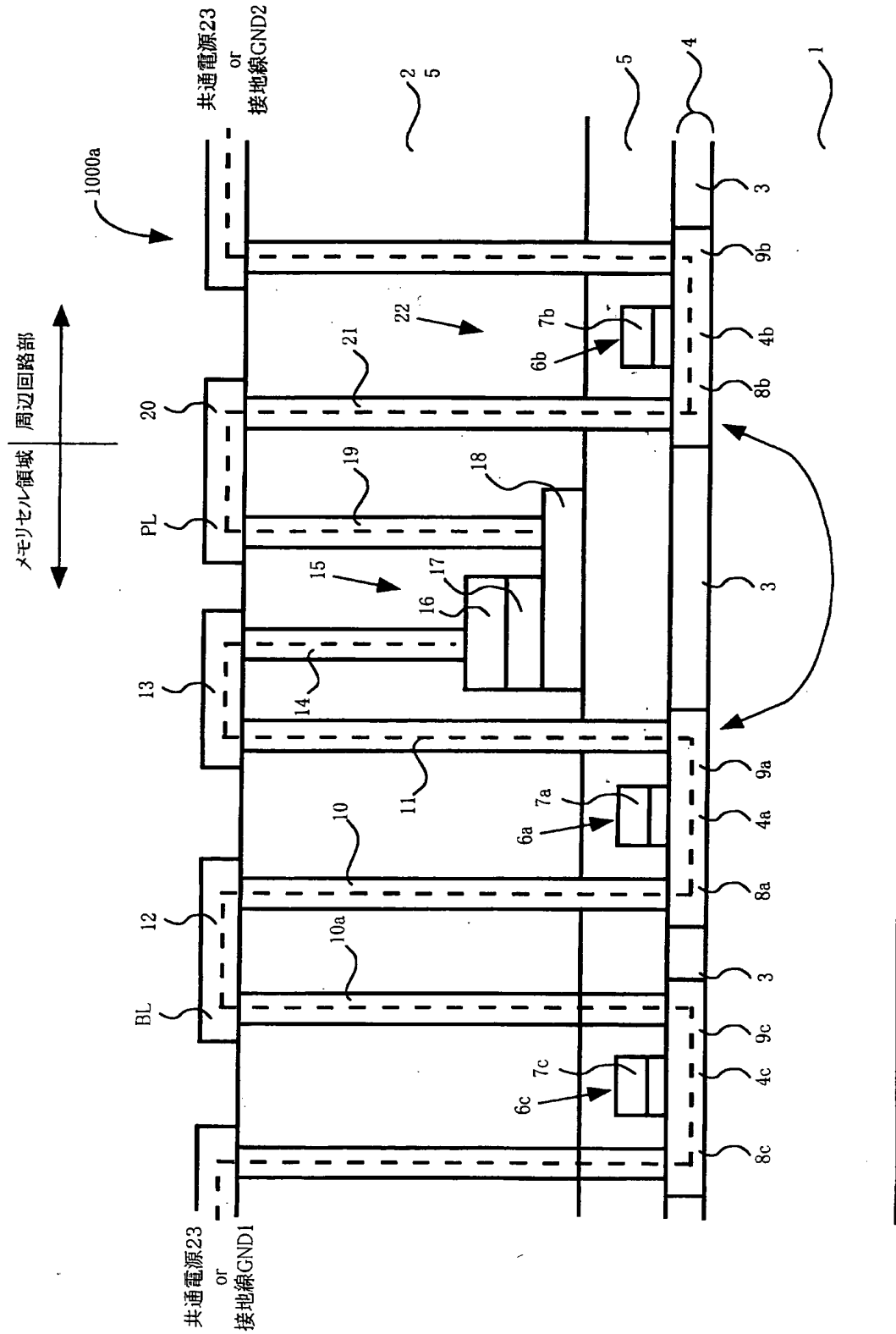


【図 5】

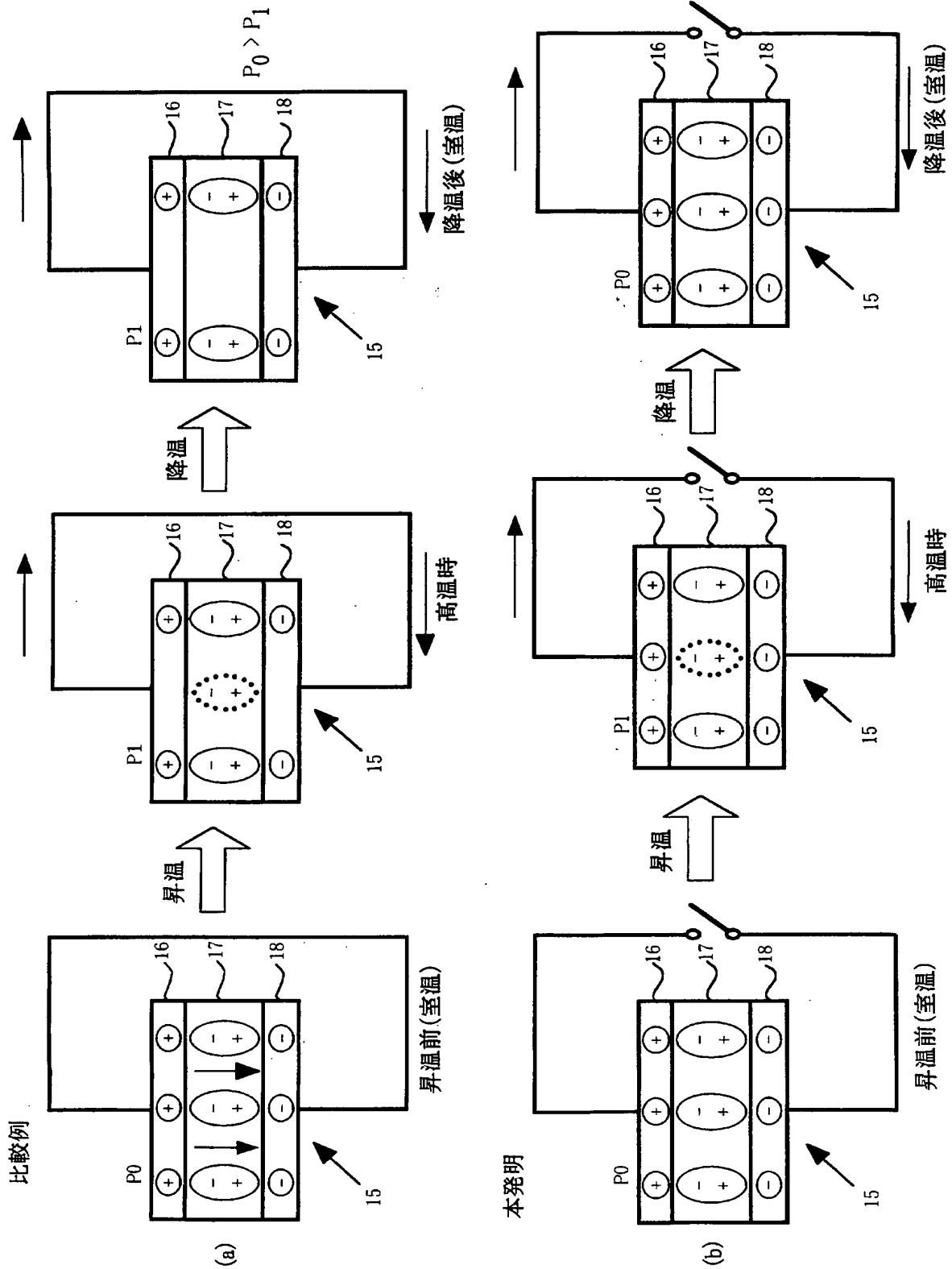




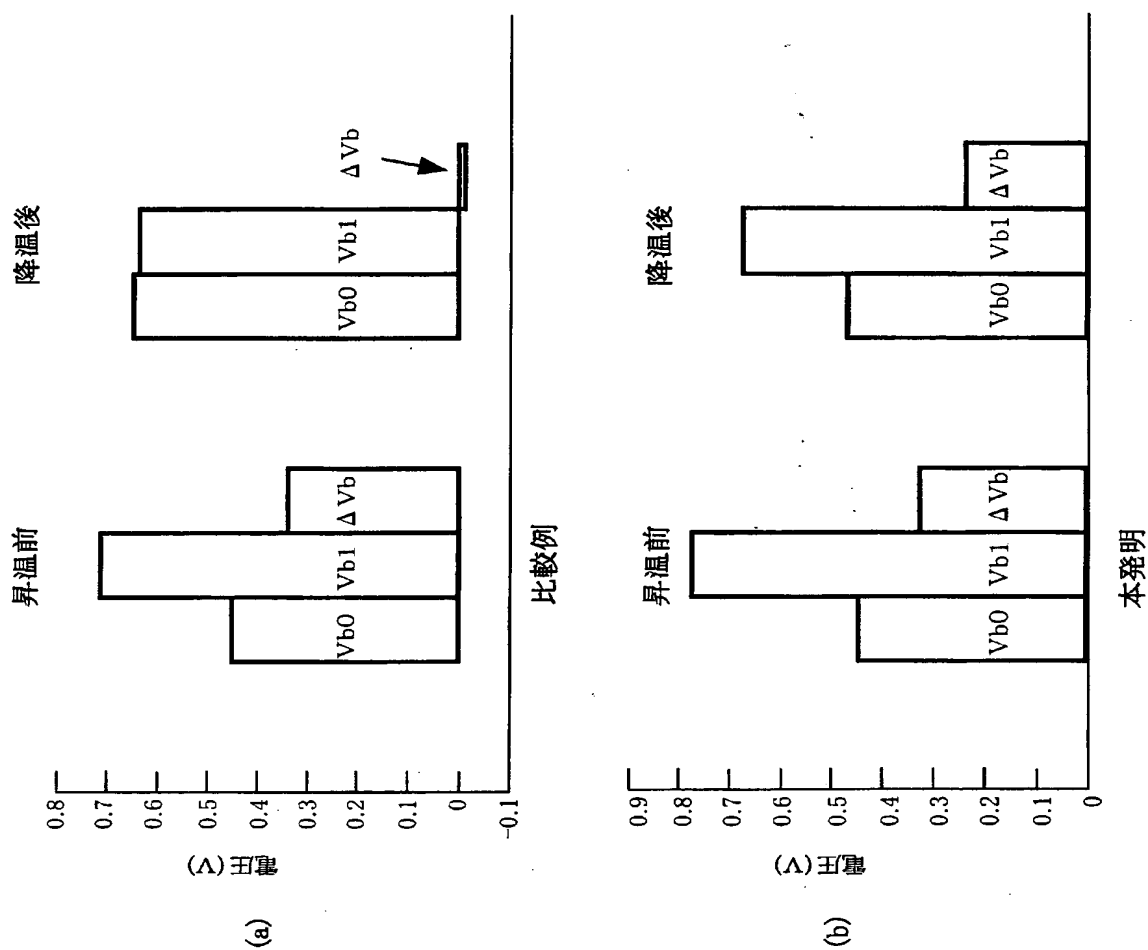
【図6】



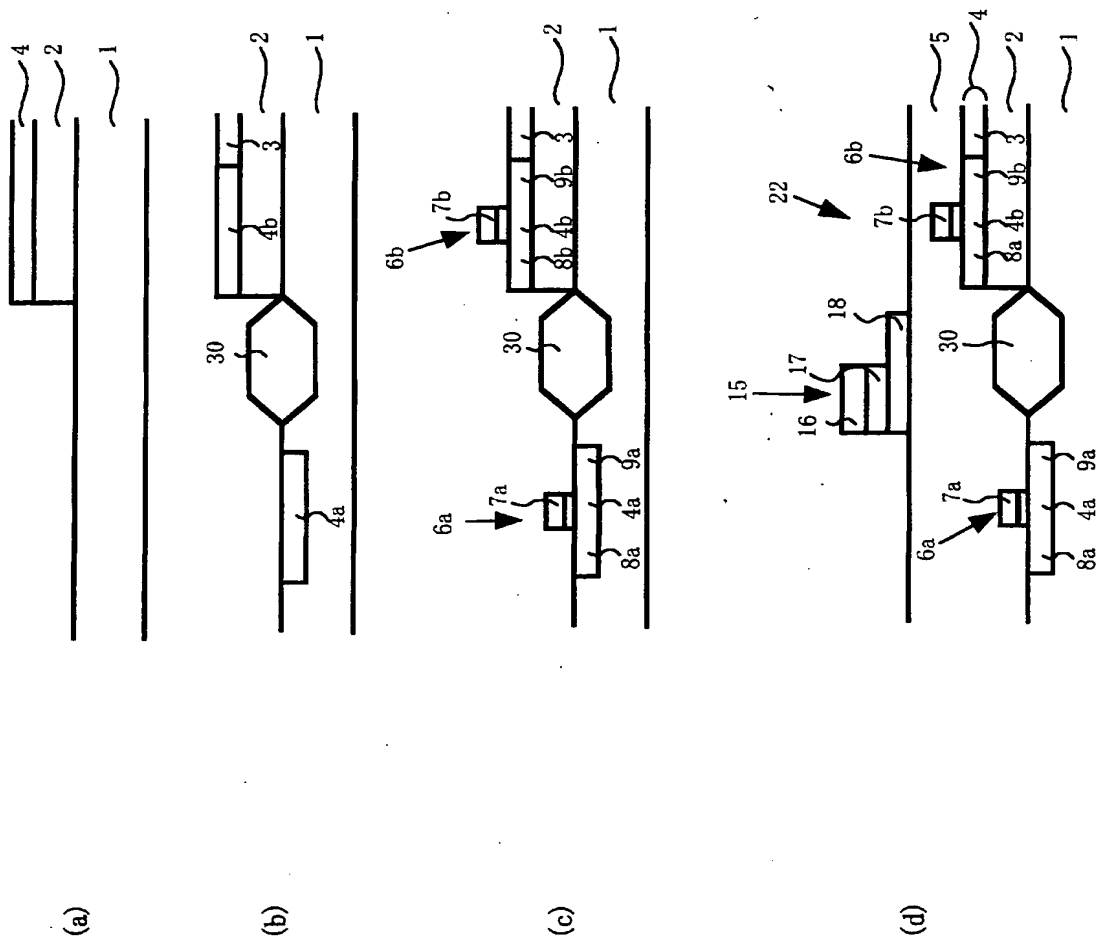
【図 7】



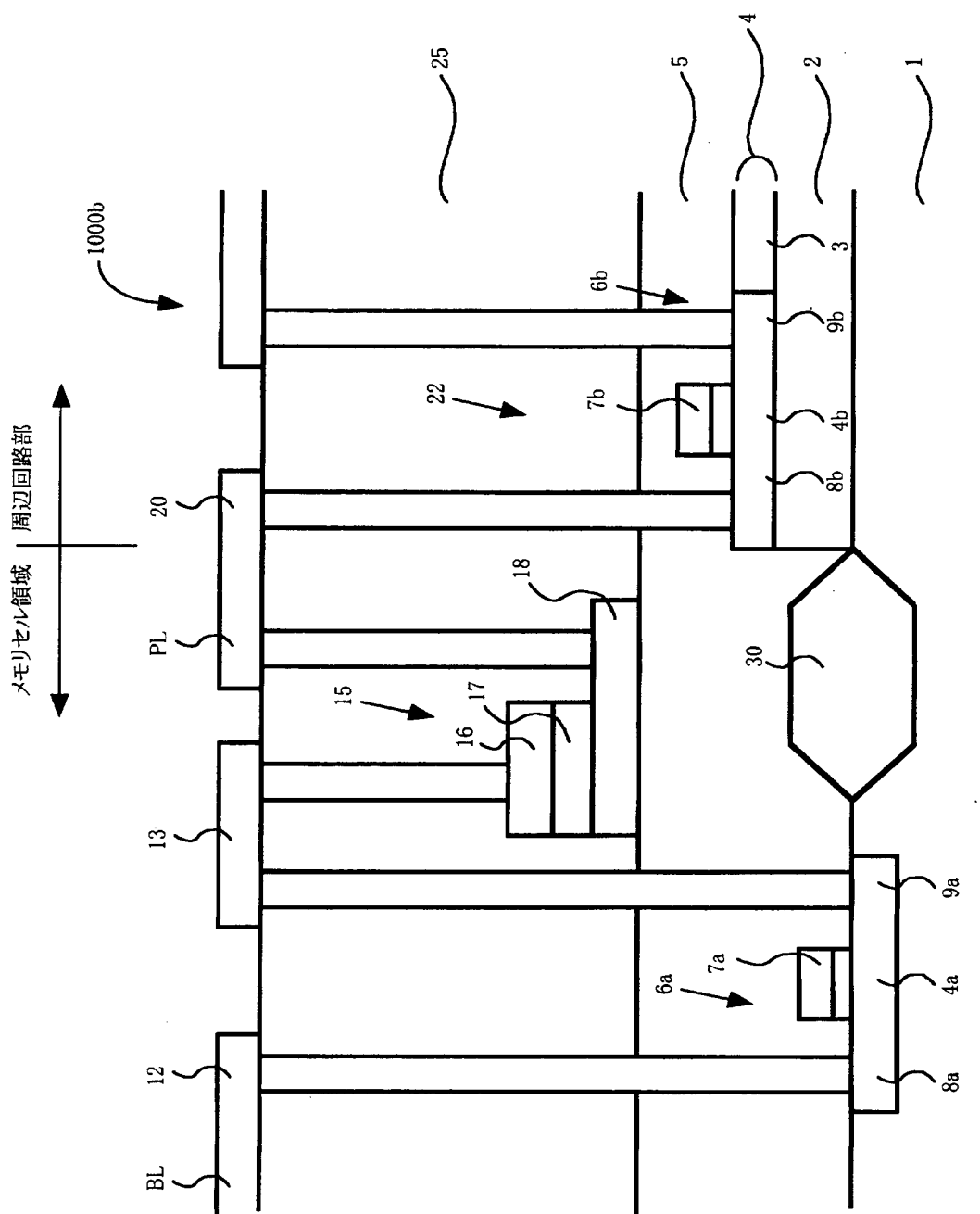
【図 8】



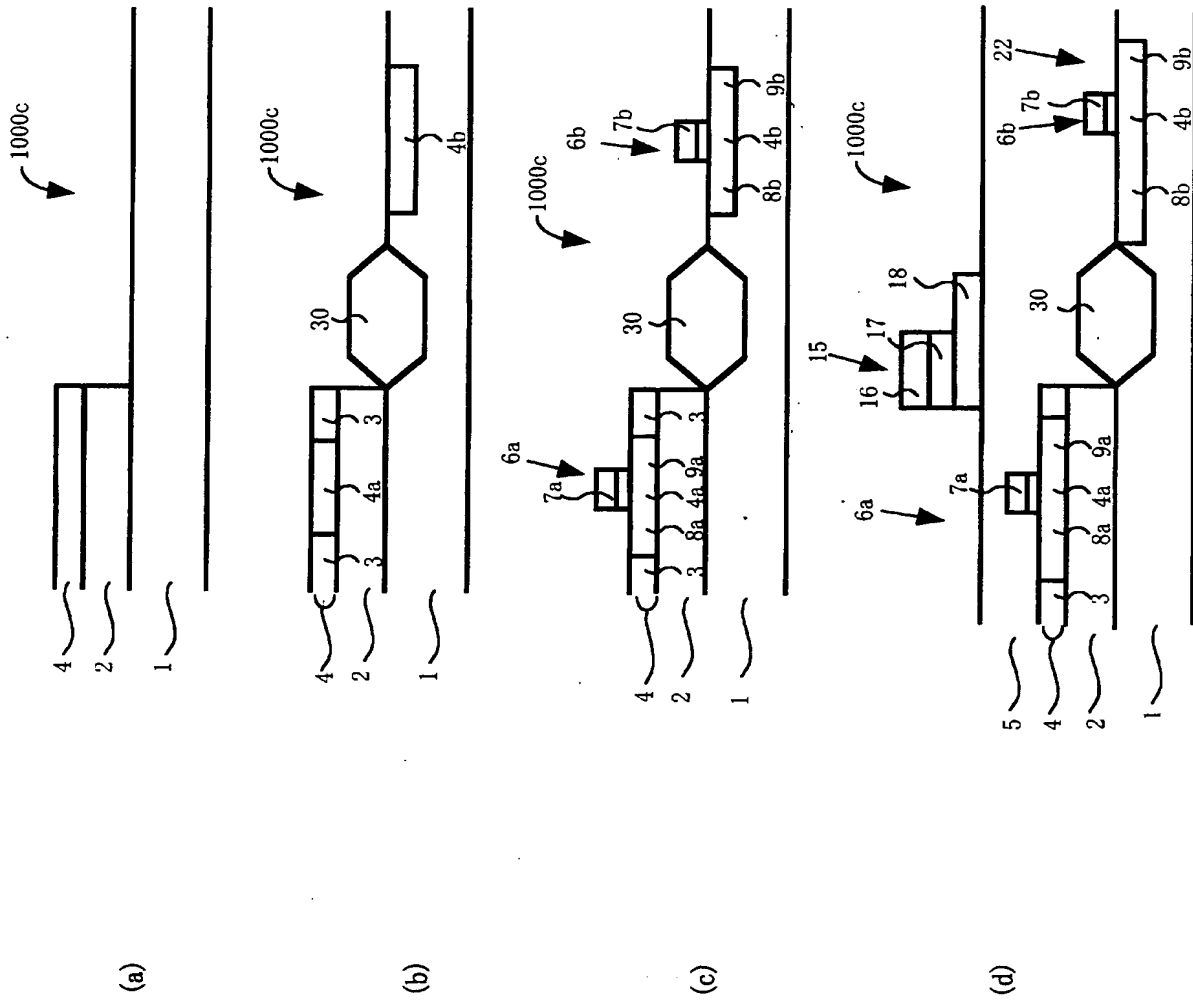
【図 9】



【図 10】

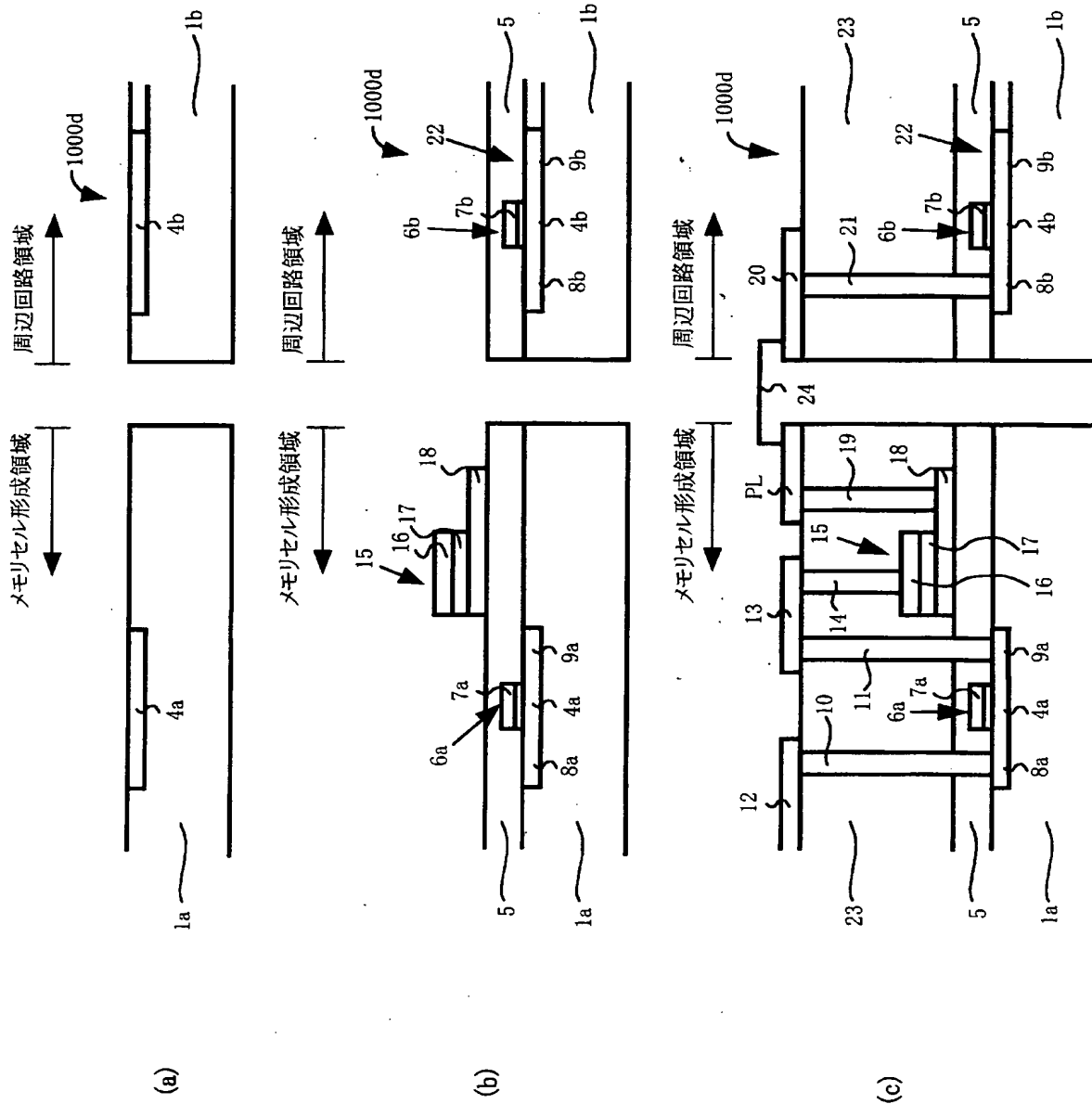


【図 11】





【図 13】





**【書類名】 要約書****【要約】**

**【課題】** 強誘電体キャパシタが選択トランジスタの主電流路端に接続される半導体メモリ装置において、高温環境下でのデータ保持能力を向上させることにある。

**【解決手段】** プレート線 PL に接続された制御トランジスタ 6 b を有するプレート線駆動部 22 と、制御電極 7 a がワード線に接続されるとともに、主電流路の一端 8 a がビット線 BL に接続された選択トランジスタ 6 a と、選択トランジスタ 6 a の主電流路の他端 9 a 及びプレート線 PL に接続された強誘電体キャパシタ 15 と、センスアンプ及びプリチャージ回路に接続された第 1 電源と、プレート線駆動部 22 に接続されかつ第 1 電源とは別系統に設けられかつ非動作時において第 1 電源と絶縁される第 2 電源とを備えており、選択トランジスタ 6 a は第 1 の半導体領域 4 a に形成され、制御トランジスタ 6 b の主電流路は、第 1 の半導体領域とは絶縁膜 2, 3 を介して絶縁されている第 2 の半導体領域 4 b に形成されていることを特徴とする、半導体メモリ装置。

**【選択図】** 図 3

特願 2 0 0 3 - 3 7 9 1 9 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社